

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274428

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/108
21/8242
21/28
21/768
27/04

3 0 1

H 0 1 L 27/10 6 2 1 Z
21/28 3 0 1 R
21/90 B
27/04 C

審査請求 未請求 請求項の数8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平10-70479

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 木村 吉孝

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

(72) 発明者 志田 吉克

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

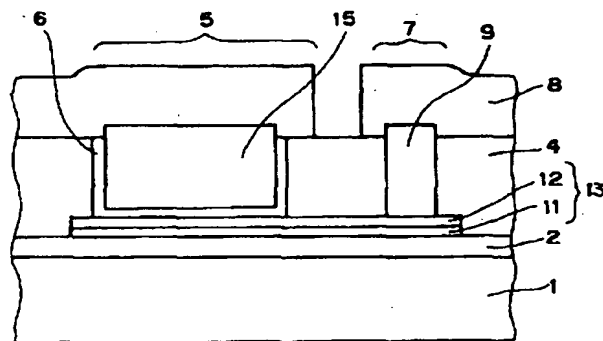
(74) 代理人 弁護士 小杉 佳男 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】容量素子を搭載した半導体装置であって、アナログ／デジタル混載型に適用でき、かつ歩留まり向上及び低コストを実現しうる半導体装置及びその製造方法を提供する。

【解決手段】シリコン基板1上に下部電極13を形成し、さらに開口孔5を有する層間絶縁膜4、誘電体膜6を順次堆積した後、接続孔7、配線溝を同時に孔明けし、タングステン膜を堆積後、タングステン膜をCMP法により誘電体膜を研磨ストップパとして研磨することにより上部電極15、接続プラグ9、配線8等を同時に形成し、且つこれらを金属配線することにより半導体装置を製造する。



1

【特許請求の範囲】

【請求項1】 容量素子を有する半導体装置であって半導体基板上に形成された導電膜よりなる容量素子の下部電極と、該下部電極上に開口孔を有する層間絶縁膜と、該開口孔の底面及び側壁を覆う誘電体膜と、容量素子の上部電極として前記開口孔を充填した導電体を有し、該導電体と他の素子を金属配線により接続してなる半導体装置。

【請求項2】 半導体基板上に第1の導電膜からなる容量素子の下部電極を形成する第1の工程と、該下部電極上に層間絶縁膜を堆積する第2の工程と、該層間絶縁膜を前記下部電極を露出するように開口孔を孔明けする第3の工程と、該開口孔の底面及び側壁を覆うように半導体基板上に誘電体膜を堆積する第4の工程と、前記開口孔を充填するため第2の導電膜を堆積する第5の工程と、該第2の導電膜を該誘電体膜をストッパとして研磨することにより上部電極を形成する第6の工程とからなる半導体装置の製造方法。

【請求項3】 請求項2の第6の工程の後に半導体基板上の前記誘電体膜を除去する第7の工程とを含む半導体装置の製造方法。

【請求項4】 請求項2の第6の工程において前記第2の導電膜を、前記層間絶縁膜をストッパとして研磨することにより上部電極を形成することと前記誘電体膜を除去する第7の工程とを同時に行う第8の工程とを含む半導体装置の製造方法。

【請求項5】 層間絶縁膜を介して上下配線を接続する導電体よりなる接続プラグおよび／または層間絶縁膜中に配線溝を形成し該配線溝に導電体を埋込むことにより形成される配線を、請求項2記載の前記容量素子の上部電極形成と同時に形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項2記載の誘電体を、請求項2の第4の工程以降の工程においてハードマスクとして利用する半導体装置の製造方法。

【請求項7】 下部電極として多層配線のための層間絶縁膜内に導電体を埋込んだ請求項1記載の半導体装置。

【請求項8】 多層配線による半導体装置において請求項3記載の容量素子を繰り返し適用し、対向する電極面積を大きくすることにより大容量の容量素子を有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は容量素子を搭載した半導体装置であって、特にアナログ／デジタル混載型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来、容量素子としては、上部および下部電極をポリシリコンで形成する製造プロセスが採用されている。しかし、近年、CODEC (C o d e r - d

2

e c o d e r) 回路を使用した移動体通信、デジタル放送機器などに利用される半導体装置ではアナログ回路とデジタル回路が混載し、アナログ回路構成のためには高精度で電圧依存性のない安定した容量特性を有する容量素子が求められている。

【0003】 そこで、容量素子の印加電圧依存性をなくし容量精度を向上させるため下部電極としてポリシリコンおよび金属シリサイドの2層構造のもの、上部電極としてアルミニウム配線を利用したプロセス技術による半導体装置も提案されている。また、同一半導体チップ内にアナログ回路とデジタル回路を形成する際に、半導体装置の製造工程でいかに高精度の容量素子を工程数の増大を伴うことなく、かつ歩留り及び信頼性が高く、低コストで作成することができるかが重要な課題の1つである。

【0004】 なお、素子を高集積化するために要求される容量を確保しつつ容量素子の占有面積をできるだけ縮小したいとする要請もある。

【0005】

【発明が解決しようとする課題】 しかしながら、CMOSプロセスにおいてアナログ／デジタル混載型半導体装置を従来の技術をそのまま適用して、容量素子を形成しようとするとき以下の問題がある。図1、図2を参照してその問題点を説明する。図1、図2はともに同一半導体チップ上に容量素子と接続孔に埋込みプラグを形成した例を示す。

【0006】 図1はシリコン基板1上にシリコン酸化膜2を介して下部電極3を形成し、BPSG (Boro PhosphoSilicate Glass) 膜よりなる層間絶縁膜4を常圧CVD (Chemical Vapor Deposition) 法により堆積させ、この層間絶縁膜内に容量素子を形成すべき部分に開口孔5を孔明けし、シリコン窒化膜よりなる容量絶縁膜6をプラズマCVD法により堆積させる。その後、接続孔7を開孔し容量素子としての上部電極および接続孔7の埋込みプラグとしてアルミ膜8を同時にスパッタ法により堆積させる。このとき接続孔7のアスペクト比が大きい場合 (3~4 またはそれ以上) は空洞が生じて電気抵抗が増大し、または断線することもあり、不測の障害が生ずる場合もある。

【0007】 図2は前記の接続孔7の埋込みプラグ材として上記のアルミに替えタングステンをを用いて、メタルCVD法によりタングステン膜を堆積し、エッチバックにより形成した例である。タングステンをメタルCVD法により堆積させると埋込み性が優れているため、たとえアスペクト比が大きい場合であっても接続孔7の埋込みプラグ9に図1のような前記空洞が生ずることはない。

【0008】 しかし、大面積の開口孔5を有する容量素子領域ではエッチバックにより開口孔5の側壁にエッチ

3

ング残渣10が生ずる。このエッチング残渣10は剥がれやすく、導電性を有するため製造工程中の半導体装置に再付着すると配線間の短絡等の不良原因ともなりうる。またエッチング残渣10の剥がれにより半導体製造装置内部の汚染の原因となり半導体装置の製造歩留りも著しく低下させる。またアナログ／デジタル混載型半導体装置の場合、たとえば容量素子を作り込むなど製造工程数は必然的に増大する傾向にあるが、製造コストの低減のため、なるべく工程数を減らすこと、および容量素子は一般的に大面積を必要とするが、集積度の向上という観点から、より小さい占有面積で大容量の容量素子を製造することも重要な課題である。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明は容量素子を有する半導体装置であって半導体基板上に形成された導電膜よりなる容量素子の下部電極と、該容量素子電極上に開口孔を有する層間絶縁膜と、該開口孔の底面及び側壁を覆う誘電体膜と、容量素子の上部電極として前記開口孔を充填した導電体を有し、該導電体と他の素子を金属配線により接続してなる半導体装置を提供するものである。

【0010】また、本発明は半導体装置の製造方法において半導体基板上に第1の導電膜からなる容量素子の下部電極を形成する第1の工程と、該下部電極上に層間絶縁膜を堆積する第2の工程と、該層間絶縁膜を前記下部電極を露出するように開口孔を孔明けする第3の工程と、該開口孔の底面及び側壁を覆うように半導体基板上に誘電体膜を堆積する第4の工程と、前記開口孔を充填するため第2の導電膜を堆積する第5の工程と、該第2の導電膜を該誘電体膜をストップとして研磨することにより上部電極を形成する第6の工程とを有することにより前記課題を解決したものである。

【0011】また、前記第6の工程の後に半導体基板表面上の前記誘電体膜を除去する第7の工程とを追加することにより前記課題を解決したものである。さらに本発明はもう1つの半導体装置の製造方法において第6の工程において前記第2の導電膜を、前記層間絶縁膜をストップとして研磨することにより上部電極を形成することと前記誘電体膜を除去する第7の工程とを同時に行う第8の工程とを有することにより前記課題を解決したものである。

【0012】また、本発明は製造コストの低減のため、工程数を減らすように層間絶縁膜を介して上下配線を接続する導電体よりなる接続プラグおよび／または層間絶縁膜中に配線溝を形成し該配線溝に導電体を埋込むことにより形成される配線を、請求項2記載の前記容量素子の上部電極を形成する工程と同一の工程により形成することを特徴とするものである。

【0013】この誘電体膜を形成後、その後の工程においてハードマスクとして利用することもできる。さら

4

に、本発明は製造コスト低減のため、容量絶縁膜として形成する前記誘電体膜をエッチングストッパー膜として兼用することにより層間絶縁膜に形成した配線用溝の特定部に自己整合的にプラグホールを形成することを特徴とするものである。

【0014】また、本発明は下部電極として多層配線のための層間絶縁膜内に導電体を埋込んだ請求項1記載の半導体装置を提供するものである。集積度の向上に鑑み、本発明は多層配線による半導体装置において請求項3記載の容量素子を繰り返し適用し、対向する電極面積を大きくすることにより大容量の容量素子を有する半導体装置を提供するものである。

【0015】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。図3～図9は本発明に関わる第1の一実施例を半導体装置の特に容量素子形成を中心に一連の製造工程を示した要部断面図であり、以下の製造工程を順次行うことにより形成される。

【1】シリコン基板1上に素子分離膜として熱酸化により膜厚300～500 μ mのシリコン酸化膜2を堆積する。

【2】上記シリコン酸化膜2の表面に減圧CVD法により膜厚150～200nmのポリシリコン膜11を堆積させる。

【3】通常のフォトリソグラフィとドライエッチングによりポリシリコン膜を後に形成する容量素子の形状及び大きさに合わせてパターンニングする。

【4】スパッタ法により膜厚20～40nmのチタン膜を堆積し、650～800℃の温度でランプアニールによる急速加熱を行うことによりチタンシリサイド膜12を形成する。

【5】不要部分のチタン膜を選択的にエッチングし、容量素子のポリシリコン膜11とチタンシリサイド膜12の2層構造からなる下部電極13を形成する（以上図3）。

【6】常圧CVD法により層間絶縁膜（1）4として膜厚1～2 μ mのBPSG膜を堆積し、800～900℃の温度でリフロー処理を行う。

【7】CMP（Chemical Mechanical Polish）法によって下部電極13上のBPSG膜厚が0.8～1.5 μ mになるまでBPSG膜を研磨して、更に平坦化を行う。

【8】通常のフォトリソグラフィとドライエッチングにより容量素子を形成する領域に上記BPSG膜に開口孔5を孔明けする

【9】減圧CVD法により膜厚60～100nmの誘電体膜としてシリコン窒化膜を堆積し、容量絶縁膜6とする（以上図4）。

【10】通常のフォトリソグラフィとドライエッチングにより層間絶縁膜（1）4に接続孔7を孔明けする

10

20

30

40

50

5

(図5)。

【11】メタルCVD法によりタングステン膜14を堆積する。その膜厚は開口孔深さ以上、即ち上記BPSG膜厚以上とする。ここでは $0.8 \sim 1.5 \mu\text{m}$ 以上とする(以上図6)。

【12】タングステン膜をCMP法により研磨し、BPSG膜上のシリコン窒化膜が露出するまで研磨する。このシリコン窒化膜はタングステン膜を研磨する際のストッパーとしての機能を有するため、過剰に研磨されることなく研磨量の制御性が確保される。このようにして自己整合的に埋込みプラグ9、容量素子の上部電極15が形成される(図7)。

【13】シリコン窒化膜のうち不要な表面上に露出した部分をドライエッチングにより除去する(図8)。

【0016】このシリコン窒化膜の不要部分を除去する際に、容量素子を形成するために必要とするシリコン窒化膜は上部電極15との間に埋込まれているため除去されることはない。即ち自己整合的に不要部分をエッチング除去されるため、シリコン窒化膜を選択的にエッチングするためのマスクは不要で、従って、これに伴うフォトリソグラフィ工程も省略できる。

【0017】また、シリコン窒化膜の表面上に露出した部分を除去することにより上部電極15等が層間絶縁膜(1)4より突出した形状となるため、突出部分をターゲットとしてその後のフォトリソグラフィにおけるアライメント精度の向上の一助となりうる。なお、タングステン膜をCMP法で研磨する工程において、タングステン膜を研磨・除去した後、連続してBPSG膜上のシリコン窒化膜を研磨・除去してもよい。この場合、不要なシリコン窒化膜を除去するためのドライエッチング工程が省略できる。

【0018】また誘電体膜の下の層間絶縁膜をストッパーとして研磨した場合は、容量素子の上部電極を形成する工程と誘電体膜を除去する工程を同時に行うことができ、製造コスト的に有利になる。ただし、この場合はもちろん前記突出部分が形成されないため、これをターゲットとしたアライメントをすることができない。【14】前記上部電極15、埋込みプラグ9等をアルミ配線により接続して半導体回路を構成する(図9)。

【0019】上記の工程を経て本発明の半導体装置が完成するが、本実施例では容量素子の下部電極をポリシリコン膜とチタンシリサイド膜の2層構造としたが、これに限らずチタン以外にシリコンと反応して金属シリサイドを形成する他の金属を成膜して金属シリサイドにより、または単に金属膜で形成してもよい。本実施例では【12】のタングステン膜14をCMP法により研磨する工程において、層間絶縁膜(1)4としてのBPSG膜上のシリコン窒化膜を研磨する際のストッパーとしたが、このBPSG膜をストッパーとして研磨した場合は、その後の工程である表面上に露出したシリコン窒化

6

膜を同時に除去できるため製造コストを低減することができる。

【0020】また、素子分離膜として熱酸化によるシリコン酸化膜、層間絶縁膜としてBPSG膜、容量素子絶縁膜としてシリコン窒化膜を用いたが、これらに限らず素子分離膜として常圧CVD法により堆積したBPSG膜、層間絶縁膜として減圧CVD法により堆積したシリコン酸化膜、容量素子絶縁膜として他の誘電性絶縁材料(例えば五酸化タンタル、シリコン酸化膜)でもよい。

【0021】図10～図18は本発明に関わる第2の一実施例を示すものであって、図3～図9を参照しながら説明した容量素子等の形成に加え、デュアル・ゲマシンプロセスにより容量素子等の各素子を電気的接続するための配線を埋込み配線にまで拡大した実施例である。以下の製造工程を順次行うことにより形成される。なお、本製造工程は前記第1の実施例と一部共通するためその部分を省略して説明する。前記第1の実施例の【1】～【9】の工程は本実施例と共通する(図10～図12まで)ため省略する。従って、以下に示す【10】から説明する。但し、本実施例はMOSTランジスタのゲート電極も合わせて形成するため下部電極13の周辺にはサイドウォール16も同時に形成される。

【10】通常のフォトリソグラフィ(レジストパターン(1)17)とドライエッチングにより金属配線を埋込むための配線溝18を形成する(図13)。【11】接続孔を孔明けするためのレジストパターン(2)19を形成する(図14)。

【12】更に、ドライエッチングにより上下配線を接続するための接続孔20を孔明けする。このとき本図に示したもの以外の他の接続孔等も同時に孔明けする。このときシリコン窒化膜とBPSG膜とのエッチングレート(シリコン窒化膜のエッチングレートはBPSG膜のその約 $1/20$)によりシリコン窒化膜自身がマスクとして作用し、自己整合的にBPSG膜に接続孔が孔明けされる(図15)。

【13】レジスト膜を除去した後、バリアメタル21としてチタン窒化膜(膜厚 $40 \sim 60 \text{nm}$)を堆積する。

【14】メタルCVD法によりタングステン膜14を堆積する。その膜厚は開口孔深さ以上、即ち上記BPSG膜厚以上とする。ここでは $0.8 \sim 1.5 \mu\text{m}$ 以上とする(以上図16)。

【15】タングステン膜をデュアル・ゲマシンプロセスによるCMP法で研磨し、BPSG膜上のシリコン窒化膜が露出するまで研磨する。このシリコン窒化膜は前記第1の実施例と同様にタングステン膜を研磨する際のストッパーとしての機能を有するため、過剰に研磨されることなく研磨量の制御性が確保される。このようにして自己整合的に埋込み配線(タングステン)22、接続用の埋込みプラグ23、容量素子の上部電極15が形成される。かつ、この研磨工程により上記上部電極15等

7

を接続する配線も併せて形成されるためこの時点で半導体回路が構成される(図17)。

【16】シリコン窒化膜のうち不要な表面上に露出した部分をドライエッチングにより除去する(図18)。

【0022】このとき自己整合的に不要部分をエッチング除去され、シリコン窒化膜を選択的にエッチングするためのマスクは不要で、従って、これに伴うフォトリソグラフィ工程も省略できるのも前記第1の実施例と同様である。また、図19は第3の実施例として下部電極を多層配線の層間絶縁膜(2)24に埋込んだ金属膜(例えばアルミ、銅、金、銀、白金またはこれらを主成分とする合金)で構成してもよい。また、このとき埋込み配線22により適直接続回路が構成される。さらに、図20は第4の実施例として多層配線形成プロセスに第2、第3の実施例を繰り返し適用して、対向する容量素子の電極面積を大きくして大容量の容量素子を構成したものである。図20において容量素子の上部電極15、下部電極13としての金属膜の間に中間電極25を有し、容量素子を大きくしたものである。またこれらの電気配線として前記埋込み配線22を用いて回路を構成することはいうまでもない。このようにして容量素子の上部電極及び下部電極が上下配線を接続する接続プラグおよび他の配線と同時に形成することもでき、各配線層を交互に電極として接続することにより任意の容量素子を形成することができ、素子設計の自由度が拡大できる。

【0023】

【発明の効果】以上説明したように本発明によればCMOSプロセスにおけるアナログ/デジタル混載型半導体装置及びその製造方法において、電圧依存性の高い高精度な容量素子を作り込むことができる。また、容量素子絶縁膜をさらにはその下の層間絶縁膜をCMP研磨のストッパ膜として使用でき、かつ容量素子絶縁膜の不要部分を自己整合的に除去できるため、これらに関するフォトリソグラフィ工程を省略でき、かつ容量素子電極と接続プラグ及び他の配線等を同時に形成できるためコスト低減に寄与しうる。更に、従来のアスペクト比の高い接続孔の埋込み不良、タングステン等のエッチング残渣による配線間の短絡等による歩留り低下を防止し、高い信頼度の有する半導体装置及びその製造方法を提供する。

【図面の簡単な説明】

【図1】従来の製造プロセスを適用して製造した容量素子部を中心に示した半導体装置である。

【図2】従来の製造プロセスを適用して製造した容量素子部を中心に示した他の半導体装置である。

【図3】本発明に関わる第1の実施例の製造工程で素子分離膜上に下部電極を形成した断面図である。

【図4】本発明に関わる第1の実施例の製造工程で層間絶縁膜に開口孔を形成し、容量素子絶縁膜を堆積した断面図である。

8

【図5】本発明に関わる第1の実施例の製造工程で接続孔を形成した断面図である。

【図6】本発明に関わる第1の実施例の製造工程でタングステン膜を堆積した断面図である。

【図7】本発明に関わる第1の実施例の製造工程でタングステン膜を研磨し、接続プラグ9、上部電極15等を形成した断面図である。

【図8】本発明に関わる第1の実施例の製造工程で表面上の容量素子絶縁膜を除去した断面図である。

【図9】本発明に関わる第1の実施例の製造工程で上部電極、埋込みプラグ等をアルミ配線により接続した断面図である。

【図10】本発明に関わる第2の実施例の製造工程で素子分離膜上に下部電極を形成した断面図である。

【図11】本発明に関わる第2の実施例の製造工程で層間絶縁膜に開口孔を形成した断面図である。

【図12】本発明に関わる第2の実施例の製造工程で容量素子絶縁膜を堆積した断面図である。

【図13】本発明に関わる第2の実施例の製造工程で配線溝を形成した断面図である。

【図14】本発明に関わる第2の実施例の製造工程で接続孔を形成するためのレジストパターンを形成した断面図である。

【図15】本発明に関わる第2の実施例の製造工程で接続孔を形成した断面図である。

【図16】本発明に関わる第2の実施例の製造工程でバリアメタルを堆積し、更にタングステン膜を堆積した断面図である。

【図17】本発明に関わる第2の実施例の製造工程でタングステン膜を研磨し、埋込み配線22、接続プラグ23、上部電極15等を形成し、かつそれらを配線形成した後の断面図である。

【図18】本発明に関わる第2の実施例の製造工程で表面上の容量素子絶縁膜を除去した断面図である。

【図19】本発明に関わる第3の実施例にかかるもので特に多層配線の埋込み金属膜を下部電極とした断面図である。

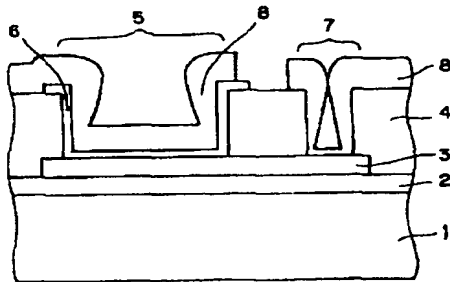
【図20】本発明に関わる第4の実施例にかかるもので本発明の容量素子形成方法を繰り返して行い、大容量の容量素子を形成した断面図である。

【符号の説明】

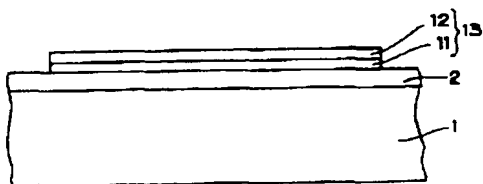
- 1 シリコン基板
- 2 シリコン酸化膜
- 3 下部電極
- 4 層間絶縁膜(1)
- 5 開口孔
- 6 容量絶縁膜
- 7 接続孔
- 8 アルミ配線
- 9 埋込みプラグ

- 9
 10 エッチング残渣
 11 ポリシリコン膜
 12 チタンシリサイド膜
 13 下部電極
 14 タングステン膜
 15 上部電極
 16 サイドウォール
 17 レジストパターン (1)

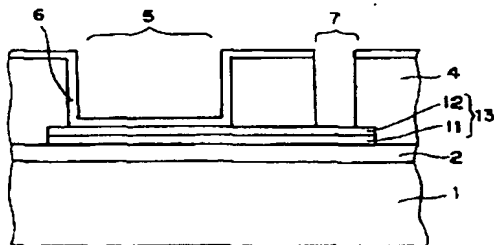
【図 1】



【図 3】

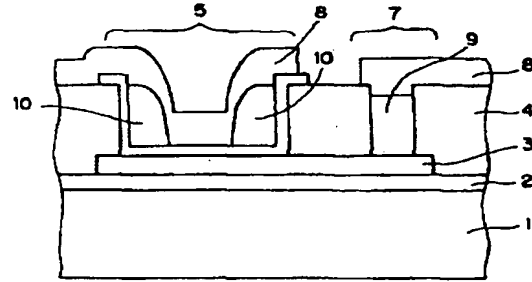


【図 5】

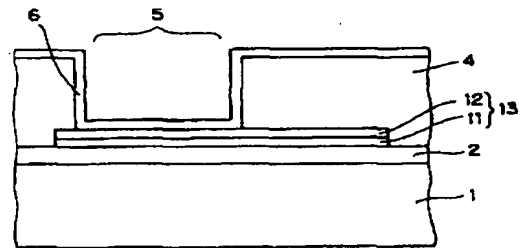


- 10
 * 18 配線溝
 19 レジストパターン (2)
 20 接続孔
 21 バリアメタル
 22 埋込み配線
 23 埋込みプラグ
 24 層間絶縁膜 (2)
 * 25 中間電極

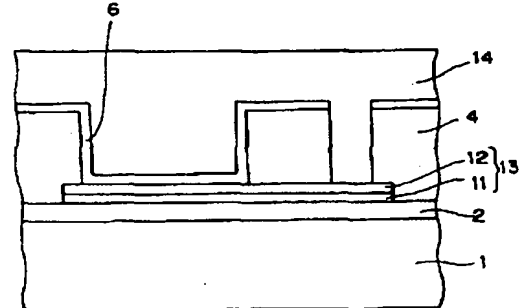
【図 2】



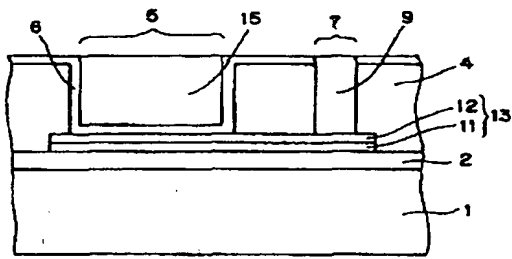
【図 4】



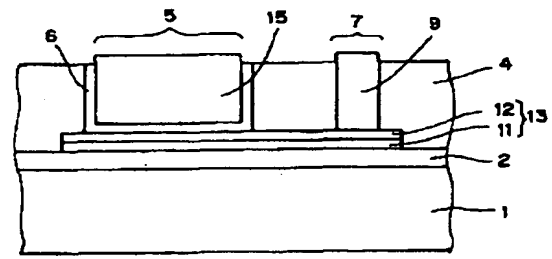
【図 6】



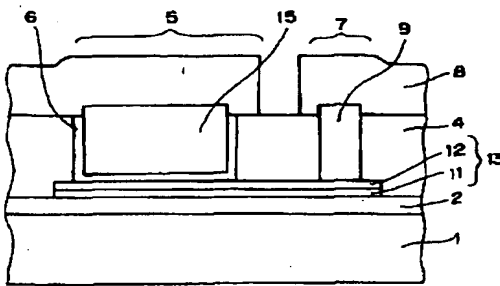
【図 7】



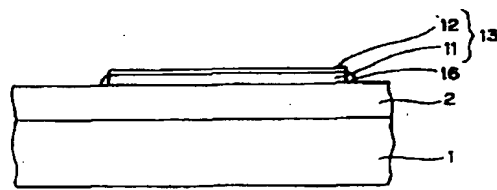
【図 8】



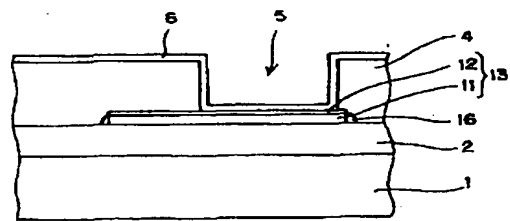
【図 9】



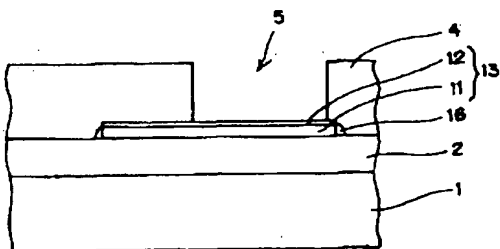
【図 10】



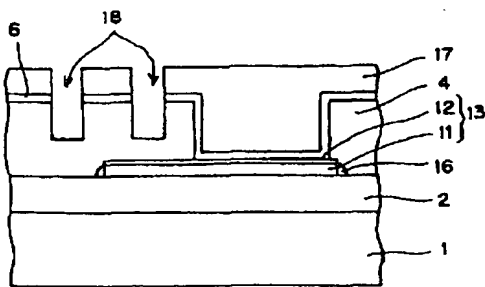
【図 12】



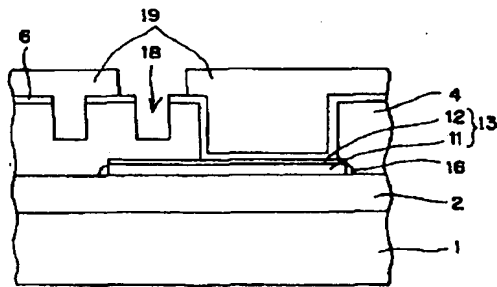
【図 11】



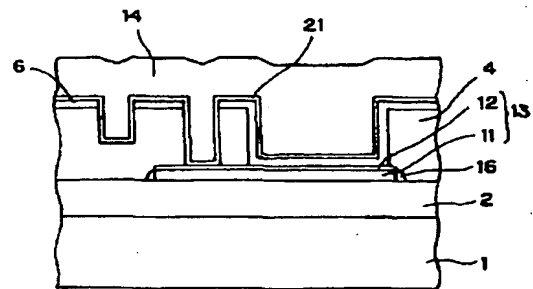
【図 13】



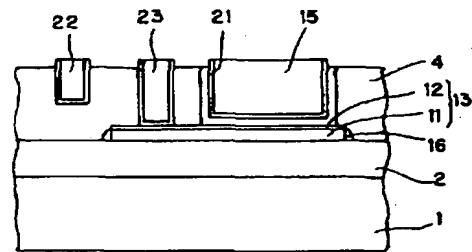
【図 14】



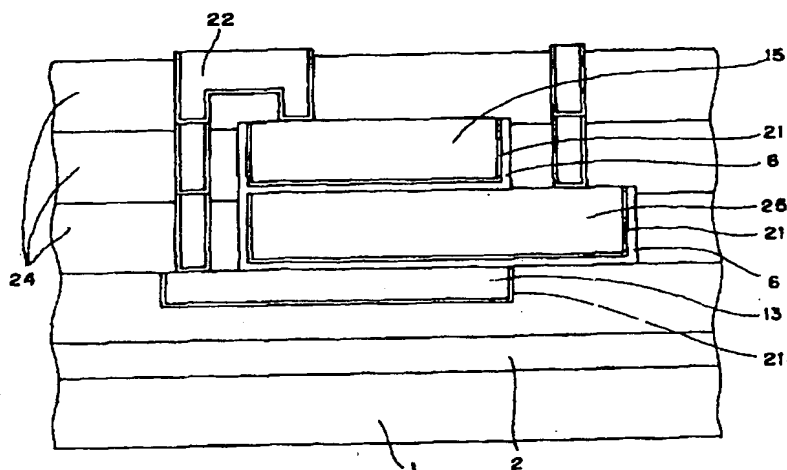
【图 16】



【图 18】

[illegible]

【図 2 0】



フロントページの続き

(51)Int. Cl. 6

識別記号

F I

H 0 1 L 21/822